

PATENTS

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicant:** Shinya Furusawa

**Serial No.:** unassigned

**Art Unit:** unassigned

**Filed:** herewith

**Docket:** 14292

**For:** SYSTEM AND METHOD FOR  
VERIFYING HARDWARE DESCRIPTION

**Dated:** February 6, 2001

31033 U.S. PRO  
09/777543  
02/06/01


Assistant Commissioner for Patents  
Washington, DC 20231

**CLAIM OF PRIORITY**

Sir:

Applicant, in the above-identified application, hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 032355/2000 (2000-032355), filed on February 9, 2000.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No. 30,749

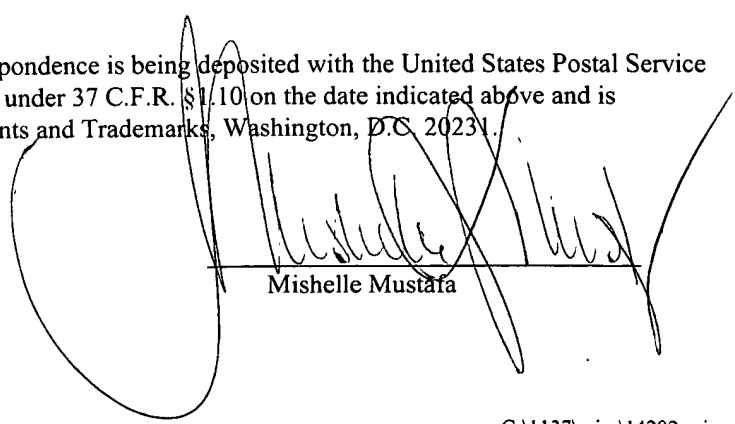
Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, NY 11530  
(516) 742-4343  
PJE:vjs

**CERTIFICATE OF MAILING BY "EXPRESS MAIL"**

"Express Mail" Mailing Label Number: EL739620755US  
Date of Deposit: February 6, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231.

Dated: February 6, 2001

  
Michelle Mustafa

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

I 藤  
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 2月 9日

出願番号  
Application Number:

特願2000-032355

出願人  
Applicant(s):

日本電気株式会社

J1033 U.S. PRO  
09/777543

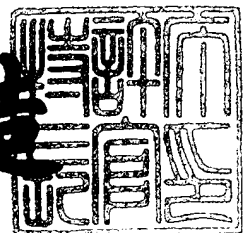


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 74510197

【提出日】 平成12年 2月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 古澤 慎也

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【選任した代理人】

    【識別番号】 100099553

    【弁理士】

    【氏名又は名称】 大村 雅生

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハードウェア記述の検証システム及びその検証方法

【特許請求の範囲】

【請求項 1】 プログラム言語により記述したハードウェア記述をコンパイルする場合と、HDL 言語により記述したハードウェア記述を動作合成する場合とで、論理解釈が異なる部分を検出すること  
を有するハードウェア記述の検証方法。

【請求項 2】 前記解釈が異なる部分は、被代入変数への代入後に前記被代入変数を他の数式で参照することが同一のクロックタイミング内で行われる部分である請求項 1 記載のハードウェア記述の検証方法。

【請求項 3】 前記プログラム言語により記述したハードウェア記述の複数文の一文を順番に入力するステップと、

前記一文が前記被代入変数への代入を行う文であると前記被代入変数を信号リストへ登録するステップと、

前記一文がクロック境界であれば登録されている前記被代入変数を前記信号リストから削除するステップと、

前記一文が前記信号リストに登録されている前記被代入変数を参照しているかどうかを判断するステップと

を有する請求項 2 記載のハードウェア記述の検証方法。

【請求項 4】 前記一文が前記信号リストに登録されている前記被代入変数を参照している場合に、前記プログラム言語によるハードウェア記述と前記 HDL 言語によるハードウェア記述との解釈が異なる動作となる警告を行うステップと  
を有する請求項 3 記載のハードウェア記述の検証方法。

【請求項 5】 前記解釈が異なる部分は、同一クロックタイミング内において被代入変数が非オーバーライト型として重ね書きされる部分である  
請求項 1 記載のハードウェア記述の検証方法。

【請求項 6】 前記プログラム言語により記述したハードウェア記述の複数文の一文を順番に入力するステップと、

前記一文が前記被代入変数への代入を行う文であると前記被代入変数を信号リ

ストへ登録するステップと、

前記一文がクロック境界であれば登録されている前記被代入数変数を前記信号リストから削除するステップと、

前記一文が前記信号リストに登録されている前記被代入数変数への代入を行っているかどうかを判断するステップと

を有する請求項 5 記載のハードウェア記述の検証方法。

【請求項 7】前記一文が前記信号リストに登録されている前記被代入数変数への代入を行っている場合に前記プログラム言語によるハードウェア記述と前記 HDL 言語によるハードウェア記述との解釈が異なる動作となる警告を行うステップと

を有する請求項 6 記載のハードウェア記述の検証方法。

【請求項 8】前記解釈が異なる部分は、同一クロックタイミング内でのみ値が有効であり、前記クロックタイミングを越えるとその値が無効になる非代入変数が存在する部分である

請求項 1 記載のハードウェア記述の検証方法。

【請求項 9】前記解釈が異なる部分は、非オーバーライト型である前記被代入数へ代入された値が同一クロックタイミング内の全ての前記被代入変数の参照に反映される被代入変数が存在し、且つ、代入よりも参照が先になされている部分である

請求項 1 記載のハードウェア記述の検証方法。

【請求項 10】前記解釈が異なる部分は、第 1 オペランドの条件判断が第 2 オペランドの評価に依存する、両オペランドを用いる演算子が存在する部分である

請求項 1 記載のハードウェア記述の検証方法。

【請求項 11】プログラム言語により記述したハードウェア記述の文が一文ずつ入力されるハードウェア記述検証装置と、

信号リスト格納装置とを含み、

前記ハード記述検証装置は、前記プログラム言語によるハードウェア記述をコンパイルする場合と HDL 言語によるハードウェア記述を動作合成する場合との

間で動作の解釈が異なる部分を検出し、

前記信号リスト格納装置は、前記解釈が異なる部分を格納する  
ハードウェア記述の検証システム。

【請求項 1 2】前記解釈が異なる部分は、被代入変数への代入後に前記被代入変数を他の数式で参照することが同一クロックタイミング内で行われる部分である請求項 1 1 記載のハードウェア記述の検証システム。

【請求項 1 3】前記解釈が異なる部分は、同一クロックタイミング内において被代入変数が非オーバーライト型として重ね書きされる部分である

請求項 1 1 記載のハードウェア記述の検証システム。

【請求項 1 4】前記解釈が異なる部分は、同一クロックタイミング内でのみ値が有効であり、前記クロックタイミングを越えるとその値が無効になる非代入変数が存在する部分である

請求項 1 1 記載のハードウェア記述の検証システム。

【請求項 1 5】

前記解釈が異なる部分は、非オーバーライト型である前記被代入変数へ代入された値が同一クロックタイミング内の全ての前記被代入変数の参照に反映される被代入変数が存在し、且つ、代入よりも参照が先にされている部分である

請求項 1 1 記載のハードウェア記述の検証システム。

【請求項 1 6】前記解釈が異なる部分は、第 1 オペランドの条件判断が第 2 オペランドの評価に依存する、両オペランドを用いる演算子が存在する部分である

請求項 1 1 記載のハードウェア記述の検証システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ハードウェア記述の検証システム及びその検証方法に関し、特に、プログラム言語でハードウェアが記述されているハードウェア記述について、ソフトウェアプログラムとしてコンパイルした場合と、ハードウェア動作記述として合成した場合とで、実質的に相違する恐れがある相違部分を発見するハードウ

エア記述の検証システム及びその検証方法に関する。

【 0 0 0 2 】

【従来の技術】

従来、ハードウェアの設計はハードウェア記述言語（HDL）を用いて行われ、そのハードウェアを制御するソフトウェアはプログラム言語を用いて記述されていた。ハードウェアとそのハードウェアを制御するソフトウェアプログラムとの統合検証は、協調シミュレータといわれるハードウェア記述言語とプログラム言語との混在実行が可能なシミュレータを用いて行われていた。

【 0 0 0 3 】

このようなことは、ソフトウェアプログラムのデバッグ段階においても全く同様である。機能検証ステップ S 1 0 1 において、ソフトウェアをハード上でシミュレーション動作させることでハードウェアを機能検証してそのハードウェアをデバッグするときにハードウェアを表す HDL 記述とソフトウェアを表すプログラム言語とを用いて協働させると、ハードウェアシミュレーションの動作の遅さに検証時間が依存してしまう。最近では、そのような依存がなくソフトウェアもハードウェアもプログラム言語のみで記述し、高速検証を可能とするために、HDL の代わりにソフトウェアの開発に用いられる C、C++、Java のようなプログラム言語によりハードウェア動作を記述して、ソフトウェアの検証を行うようになってきた（例えば、特開平 1 0 - 1 4 9 3 8 2 号）。

【 0 0 0 4 】

一般に、回路設計を行うために必要となる処理は、図 1 9 に示されるように 2 種類があり、それらは機能検証 S 1 0 1 と動作合成 S 1 0 2 とである。ステップ S 1 0 1 は、そのハードウェア記述（プログラム言語による）をコンパイルして生成した実行形式で機能検証を実行する。ステップ S 1 0 2 は、そのハードウェア記述（HDL 言語による）を動作合成して RTL（レジスタトランスファレベル）記述を生成するものである。

【 0 0 0 5 】

ところが、ここで新たな問題が現れた。ソフトウェア用のプログラム言語をそのままハードウェア設計に適用することには不都合がある。例えば、回路の同時

並列動作は通常のプログラム言語で記述され得ないという不都合がある。このような不都合を解消してハードウェア設計用のプログラム言語が適正であるように、そのプログラム言語はその動作仕様が拡張され言語拡張されている（発明の実施の形態の項で後述される。）。そのような言語拡張によって、同じハードウェア記述 1 0 0 の動作の解釈が言語拡張をしたプログラム言語で記述したハードウェア記述を用いた S 1 0 1 の処理と H D L で記述したハードウェア記述を用いた動作合成ツールの処理との間で異なっている可能性がある。このような可能性が含まれているかどうかを確認するために、ステップ S 1 0 1 の結果とステップ S 1 0 2 の結果との等価性を確認する等価性検証のステップ S 1 0 3 が新たに必要である。このような等価性検証により、同じハードウェア記述 1 0 0 の動作の解釈がステップ S 1 0 1 のコンパイラとステップ S 1 0 2 の動作合成ツールとの間で異なっていることが判明しても、どのようにその解釈の相違が生じたか、どの記述部分でその相違が生じたのかが明らかでなく、人手を用いた多大な時間の投入による解析がハードウェアのデバッグに要する。

#### 【 0 0 0 6 】

ハードウェア記述のうちプログラム言語と H D L とで解釈が分かれる部分の存在が機能検証シミュレーションを妨害することを回避することが望まれる。特に、そのような等価性検証の不要化が望まれる。

#### 【 0 0 0 7 】

##### 【発明が解決しようとする課題】

本発明の課題は、ハードウェア記述のうちプログラム言語と H D L とで解釈が分かれる部分の存在が機能検証シミュレーションを妨害することを回避することができるハードウェア記述の検証システム及びその検証方法を提供することにある。

本発明の他の課題は、元々の原因がプログラム言語と H D L との違いを認識できずにハードウェア記述を両言語で記述してしまうことに起因して解釈が分かれるために必要となる等価性検証を不要化することができるハードウェア記述の検証システム及びその検証方法を提供することにある。

#### 【 0 0 0 8 】



## 【課題を解決するための手段】

本発明によるハードウェア記述の検証方法は、プログラム言語により記述したハードウェア記述をコンパイルする場合と、HDL言語により記述したハードウェア記述を動作合成する場合とで、論理解釈が異なる部分を検出することである。論理解釈が異なる部分は、ハードウェア記述をシミュレートするコンピュータ設計者によりハードウェア記述のシミュレーションに先だって速やかに論理解釈が正しく確定され得る。

## 【0009】

その解釈が異なる部分は、被代入変数への代入後にその被代入変数を他の数式で参照することが同一のクロックタイミング内で行われる部分である。この場合、プログラム言語により記述したハードウェア記述の複数文の一文を順番に入力し、その一文が被代入変数への代入を行う文であればその被代入変数を信号リストへ登録し、その一文がクロック境界であれば登録されているその被代入変数をその信号リストから削除し、その一文が信号リストに登録されている被代入変数を参照しているかどうかを判断する。その一文が信号リストに登録されている被代入変数を参照している場合に、プログラム言語によるハードウェア記述とHDL言語によるハードウェア記述との解釈が異なる動作となる警告が行われることになる。

## 【0010】

そのような解釈が異なる部分は、同一クロックタイミング内において被代入変数が非オーバーライト型として重ね書きされる部分でもある。この場合、そのハードウェア記述の複数文の一文を順番に入力し、その一文が被代入変数への代入を行う文であれば、その被代入変数を信号リストに登録し、その一文がクロック境界であれば登録されているその被代入変数をその信号リストから削除し、その一文が信号リストに登録されている被代入変数への代入を行っているかどうか判断されることになる。更に、その一文が信号リストに登録されている被代入変数への代入を行っている場合にプログラム言語によるハードウェア記述とHDL言語によるハードウェア記述との解釈が異なる動作となる旨の警告が行われる。

## 【0011】

その解釈が異なる部分は、同一クロックタイミング内でのみ値が有効であり、そのクロックタイミングを越えるとその値が無効になる非代入変数が存在する部分でもあり、非オーバーライト型である被代入変数へ代入された値が同一クロックタイミング内の全ての被代入変数の参照に反映される被代入変数が存在し、且つ、その代入よりもその参照が先にされている部分でもあり、第1オペランドの条件判断が第2オペランドの評価に依存する、両オペランドを用いる演算子が存在する部分でもある。

#### 【0012】

本発明によるハードウェア記述の検証システムは、プログラム言語により記述したハードウェア記述の文が一文ずつ入力されるハードウェア記述検証装置と、信号リスト格納装置とを含み、そのハードウェア記述検証装置は、プログラム言語によるハードウェア記述をコンパイルする場合とHDL言語によるハードウェア記述を動作合成する場合との間で動作の解釈が異なる部分を検出し、信号リスト格納装置は、その解釈が異なる部分を格納する。その解釈が異なる部分は、既述の通り例示されている。

#### 【0013】

#### 【発明の実施の形態】

図1に一致対応して、拡張プログラム言語により記述したハードウェア記述を検証する検証システムの実施の形態は、ハードウェア記述検証手段・ユニットが信号リスト格納手段・ユニットとともに設けられている。そのハードウェア記述検証手段1は、図1に示されるように、信号リスト格納手段2に双方向に接続している。入力装置3は、記憶装置4に接続している。入力装置3は、プログラム言語により記述されたハードウェア記述5を記憶装置4に出力する。記憶装置4は、入力されたハードウェア記述5を格納して記憶する。

#### 【0014】

ハードウェア記述検証手段1は、ハードウェア記述5を記憶装置4から受け取って、後述される部分を検証（検出）したときに、その部分の存在とその存在箇所を信号化した検出信号を警告信号6として出力装置7に出力する。出力装置7は、その警告信号6を表示する表示装置である。信号リスト格納手段2は、検証

対象を信号化した検証対象信号 8 を格納し、検証対象信号 8 をハードウェア記述検証手段 1 に出力する。

## 【 0 0 1 5 】

検証対象は、5つの型に分けられる。5つの型は、発明者により、レジスタ型、非オーバーライト型、非レジスタ型、配線型、演算子存在型であるとそれぞれに呼ばれる。

レジスタ型：

c l o c k    ( )

x = a + b

c l o c k    ( )

y = c - d

## 【 0 0 1 6 】

このような原プログラムに含まれる x と y は、ともにプログラム上は変数であり、ハードウェアのイメージでは信号である a と b とにより、被代入変数 x が記述されている。被代入変数 y は、c と d とにより同様に記述されている。クロックに同期して更新が起こる変数として定義されている被代入変数 x, y は、図 2 と図 3 にそれぞれに示されるように、クロック 1 1 とクロック 1 2 とに基づいてレジスタ 1 3 とレジスタ 1 4 に入力され、異なるクロックタイミングでそれぞれに変化し、その値の更新が代入時ではなくその直後にあるクロック記述に同期して起こる。このようにクロックタイミングで変化する被代入変数のこと (x, y) をプログラム言語上、レジスタ型と拡張的に定義しておく。これによって、実回路上のラッチやレジスタが表現される。

## 【 0 0 1 7 】

レジスタ型検証対象：

c l o c k    ( ) ;

x = a + b ;

y = x + t ;

c l o c k    ( ) ;

この原プログラムに含まれる 2 つのクロック記述で挟まれる 1 つの同じクロッ

クタイミング内で代入された被代入変数  $x$  がその代入後に他の数式で参照されている。このような形態で 2 度記述された被代入変数は、HDL 記述を用いる動作合成では同じ値ではないと解釈されるが、言語拡張されたプログラム言語を解釈するコンパイラでは誤って同じ値であると解釈される。このような形態で 2 度以上記述されているレジスタ型被代入変数は、信号リスト格納手段 2 に格納される。クロックに同期して更新が起こる被代入変数がこのように同一タイミング内で代入された後に他の数式で参照される部分が、レジスタ型検証対象である。

## 【 0 0 1 8 】

図 5 は、レジスタ型検証対象の存在を検出する検出方法を示している。図 6 は、レジスタ型検証対象を例示している。レジスタ型検証対象である原プログラムの拡張された仕様によるハードウェア記述は、次の通りである。

```

i n t   t ;
r e g   x , y ;
x = 0 ; . . . 第 1 文
c l o c k ( ) ; . . . 第 2 文
x = 1 ; . . . 第 3 文
t = 3 ; . . . 第 4 文
y = x + t ; . . . 第 5 文
c l o c k ( ) ; . . . 第 6 文

```

ここで、“ r e g x , y ” と第 2 文と第 6 文は、拡張された仕様によるプログラム言語表現である。

## 【 0 0 1 9 】

記憶装置 4 からハードウェア記述の 1 文ずつがハードウェア記述検証手段 1 に入力される（ステップ S 1 0 1）。最初の一文は、“ x = 0 ” である。その入力文である第 1 文が、クロック境界を表す記述であれば、信号リスト格納手段 2 に格納されている信号情報の全てが削除される。第 1 文は、クロック境界ではないので、ステップ S 1 0 2 からステップ S 1 0 4 に進む。ステップ S 1 0 4 では、その入力文が信号リスト格納手段 2 に格納されている信号を参照しているかどうか判断される。今、信号リストには何も登録されていないので、プロセスはス

テップ S 1 0 6 に進む。

【 0 0 2 0 】

信号リスト格納手段 2 に格納されている信号を参照している場合は、ソフトウェア実行時に動作が意図しないものになる可能性があるので、その旨を警告としてハードウェア記述検証手段 1 は出力装置 7 に出力して、プロセスはステップ S 1 0 6 に進む。ステップ S 1 0 6 では、レジスタ型信号 (x) への代入が存在しているかどうか判断される。第 1 文にはレジスタ型信号への代入が存在しているので、プロセスはステップ S 1 0 7 に進む。

【 0 0 2 1 】

ステップ S 1 0 7 では、レジスタ型信号への代入が存在している場合、その一文で代入されている全てのレジスタ型信号情報を信号リスト格納手段 2 に格納する。第 1 文の中のレジスタ信号である x は信号リスト格納手段 2 に格納され、プロセスはステップ S 1 0 1 に戻る。

【 0 0 2 2 】

次に、第 2 文 " c l o c k " が、ハードウェア記述検証手段 1 に入力される。第 2 文はクロック境界であるから、信号リスト格納手段 2 に格納されている信号は全てが削除され、ステップ S 1 0 3 で x は削除される。プロセスは、ステップ S 1 0 1 に戻る。

【 0 0 2 3 】

次に、第 3 文 " x = 1 " がハードウェア記述検証手段 1 に入力される。第 3 文は、クロック境界ではないので、プロセスはステップ S 1 0 4 に進む。今、信号リストには何も登録されていないので、プロセスはステップ S 1 0 6 に進み、ステップ S 1 0 7 で信号リストへその x を登録する。

【 0 0 2 4 】

次に、第 4 文 " t = 3 " がハードウェア記述検証手段 1 に入力される。第 4 文はクロック境界ではないので、プロセスはステップ S 1 0 4 に進み、第 4 文の t は x を参照していないので、プロセスはステップ S 1 0 4 からステップ S 1 0 6 に進み、ステップ S 1 0 6 では、レジスタ型被代入変数への代入は存在しないので、その t は登録されず、プロセスはステップ S 1 0 1 に戻る。

## 【 0 0 2 5 】

次に、第5文“ $y = x + t$ ”がハードウェア記述検証手段1に入力される。第5文は、クロック境界ではないので、プロセスはステップS104に進む。ステップS104で、第5文の $y$ は信号リスト格納手段2に登録されている信号 $x$ （第3文の $x$ ）を参照しているなので、ステップS105で警告が出力され、ステップS106ではレジスタ型被代入変数信号 $y$ への代入が存在しているので、第5文の $y$ はステップS107で信号リスト格納手段2に登録される。次に、第6文がハードウェア記述検証手段1に入力され、 $x$ と $y$ とは信号リスト格納手段2から削除される。

## 【 0 0 2 6 】

クロック境界内文である第3文と第5文では、第5文の式の被代入変数 $y$ が第3文である他の式を参照している。このような場合、C言語等によるコンパイラとHDLでは、図6の表に示されるように、解釈が互いに異なっている。コンピュータ言語として仮に正しくそのプログラムが記載されていたとしても、言語拡張されたC言語によるこの記述と元々のHDLとは、解釈のなされ方が異なってしまうことがある。そのような場合の1つとして、同一のクロックタイミングで代入が行われた被代入変数（同じ文字が用いられている）を他の数式の中で参照する場合がある。

## 【 0 0 2 7 】

このような場合、図7に示されるように、第2文のクロックにより、HDLでは $x$ には0が代入された状態で第5文を実行するC言語では $x$ には1が代入されるので、第5文では、C言語では $y$ は4であるが、HDLでは $y$ は3である。このように物理的動作がクロックによりレジスタ等で実行されるクロック境界の前後の文章で、C言語とHDLでは解釈が異なり異なった演算を実行する。このような異なった解釈による演算の実行は、他の式を参照する第5文で結果が異なってしまう。

## 【 0 0 2 8 】

非オーバーライト型検証対象：

`clock () ;`

$z = a + b ;$

$z = c + d ;$

clock

【0029】

このような原プログラムは、ハードウェアのイメージでは信号である  $a$  と  $b$  と  $c$  と  $d$  とにより2つの  $z$ 、 $z$  が記述されている。この  $z$  は、言語拡張において同一タイミング内において、オーバーライトされることがない変数として定義される。これによって、実回路上マルチプレクサを表現する。1つの被代入変数  $z$  は  $a$  と  $b$  とにより記述され、他の1つの被代入変数  $z$  は  $c$  と  $d$  とにより記述されている。クロックに同期して更新が起こる変数として定義されている2つの被代入変数  $z$ 、 $z$  は、コンパイラでは上式の  $z$  が下の式の  $z$  に代入されて上書きされるので、下の  $z$  のみが有効である。動作合成では、図4に示されるように、 $(a + b)$  と  $(c + d)$  とがMPX（マルチプレクサ）15により選択されることであると解釈される。非オーバーライト型では、同一クロックタイミング内において同一の被代入変数への代入は2度以上は許されない。

【0030】

図8は、非オーバーライト型検証対象の存在を検出する検出方法を示している。図9は、非オーバーライト型検証対象を例示している。非オーバーライト型検証対象である原プログラムの拡張された仕様によるハードウェア記述は、次の通りである。

【0031】

ter  $z, t ;$

$z = 0 ; \dots$  第1文

clock () ;  $\dots$  第2文

$z = 1 ; \dots$  第3文

$t = 3 ; \dots$  第4文

$z = t + 2 ; \dots$  第5文

clock () ;  $\dots$  第6文

ここで、"ter  $z, t$ " と第2文と第6文は、拡張された仕様によるプログ

ラム言語表現である。

【 0 0 3 2 】

記憶装置 4 からハードウェア記述の 1 文ずつがハードウェア記述検証手段 1 に入力される（ステップ S 2 0 1）。最初の一文は、“ $z = 0$ ”である。その入力文である第 1 文が、クロック境界を表す記述であれば、信号リスト格納手段 2 に格納されている信号情報の全てが削除される（ステップ S 2 0 3）。第 1 文は、クロック境界ではないので、ステップ S 2 0 2 からステップ S 2 0 4 に進む。

【 0 0 3 3 】

ステップ S 2 0 4 では、その入力文が信号リスト格納手段 2 に格納されている信号への代入が存在しているかどうか判断される。今、信号リストには何も登録されていないので、プロセスはステップ S 2 0 6 に進む。その代入が存在している場合には、警告が発せられた後にステップ S 2 0 6 に進む。

【 0 0 3 4 】

ステップ S 2 0 6 では、非オーバーライト型信号  $z$  への代入が存在しているかどうか判断される。第 1 文には非オーバーライト型信号  $z$  への代入が存在しているので、プロセスはステップ S 2 0 7 に進む。ステップ S 2 0 7 では、非オーバーライト型信号への代入が存在している場合、その一文で代入されている全ての非オーバーライト型信号を信号リスト格納手段 2 に格納する。第 1 文の中の非オーバーライト型信号である  $z$  は信号リスト格納手段 2 に格納され、プロセスはステップ S 2 0 1 に戻る。

【 0 0 3 5 】

次に、第 2 文“ $clock$ ”が、ハードウェア記述検証手段 1 に入力される。第 2 文はクロック境界であるから、信号リスト格納手段 2 に格納されている信号は全てが削除され、ステップ S 2 0 3 で  $z$  は削除される。プロセスは、ステップ S 2 0 1 に戻る。

【 0 0 3 6 】

次に、第 3 文“ $z = 1$ ”がハードウェア記述検証手段 1 に入力される。第 3 文は、クロック境界ではないので、プロセスはステップ S 2 0 4 に進む。ステップ S 2 0 4 では、今信号リストには何も登録されていないので、ステップ S 2 0 6



に進み、ステップ S 207 で  $z$  を信号リストへ登録する。

【0037】

次に、第4文 " $t = 3$ " がハードウェア記述検証手段1に入力される。第4文はクロック境界ではないので、プロセスはステップ S 204 に進む。ステップ S 204 では、信号リストには  $z$  のみが登録されているが  $t$  は登録されていないので、プロセスはステップ S 206 に進む。ステップ S 206 では、 $t$  はオーバーライト型信号への代入が存在しているので、その  $t$  は登録され、プロセスはステップ S 201 に戻る。

【0038】

次に、第5文 " $z = t + 2$ " がハードウェア記述検証手段1に入力される。第5文は、クロック境界ではないので、プロセスはステップ S 204 に進む。ステップ S 204 で、第5文の  $z$  は信号リスト格納手段2に登録されている被代入信号であるので、ステップ S 205 で警告が出力され、ステップ S 206 で非オーバーライト型信号  $z$  への代入が存在しているので、第5文の  $z$  はステップ S 207 で信号リスト格納手段2に登録される。次に、第6文がハードウェア記述検証手段1に入力され、 $t$  と  $z$  とは信号リスト格納手段2から削除される。

【0039】

クロック境界内文である第3文と第5文では、第5文の式の被代入変数  $z$  が第3文の  $z$  でオーバーライトされる可能性がある。このような場合、C言語によるコンパイラとHDLでは、図9の表に示されるように、解釈が互いに異なっている。このような場合、第2文のクロックにより、HDLでは  $z$  に0が代入されるが、C言語では第3文では  $z$  は1、第5文では  $z$  は5であるが、図10に示されるように、HDLでは第3文と第5文とのどちらが有効になるか分からないので、このクロック内では  $z$  は不明である。このように物理的動作がクロックによりレジスタで実行されるクロック境界の前後の文章で、C言語とHDLでは解釈が異なり異なった演算を実行し、又は、その演算は実行され得ない。このような異なった解釈による演算の実行・不実行は、オーバーライトすると解釈するか、不明として解釈するかで結果が異なってしまう。

【0040】

このように、レジスタ型では、信号代入が行われてもすぐには値の更新が行われずクロック境界記述により一斉に値の更新が行われ、非オーバーライト型では、連続したクロック境界記述に挟まれた部分では同一信号に対して複数回の代入を許されない。クロック文章の導入による拡張仕様のプログラム言語では、これに物理的記述が入り込んでいて、設計者の意図は物理的記述に反映されていない。ハードウェア記述の機能検証と、ハードウェア記述の動作合成の機能検証との等価性の確認をしないで、その等価性が崩れる恐れがある記述部分を検出することにより、原プログラムのその恐れある部分に関して、設計者又はユーザーが解釈に分かれが生じないように書き換える。そのように書き換えられた原プログラムには、解釈の相違は存在しなくなるので、等価性の確認検証は省略され得る。

## 【 0 0 4 1 】

以後の型でも以上に既述した同様の各定義を行い、定義にそぐわない各問題を警告する。図 1 1 は、非レジスタ型検証対象を例示している。非レジスタ型検証対象である原プログラムの拡張された仕様によるハードウェア記述は、次の通りである。

非レジスタ型検証対象：

```
t = 3 ;
clock ( ) ;
z = t + 2 ;
clock ( ) ;
```

この原プログラムに含まれる  $t$  は、2つのクロックで挟まれる1つの同じクロック境界内で記述されている。3が代入された $t$ は、そのステップであるそのクロック境界内でのみ有効であり、クロック境界を越えるとその値の3が無効になるタイプの信号であると拡張定義し、非レジスタ型と呼ばれる。

## 【 0 0 4 2 】

C言語では以前に代入された値が使用されるが、HDLでは同一步内には $t$ への代入がないので、図 1 2 に示されるように、使用される値は合成ツールに依存する。このため、同一步内で、且つ、参照以前に代入されていない非レジスタ型信号 $t$ を参照する $z$ の値は、C言語とHDLでは異なってしまう。図

11の表に示されるように、C言語では $z = 5$ であるが、HDLでは $z$ は不明である。第3文“ $z = t + 2$ ”は、信号リストに登録されていない非レジスタ型信号 $t$ を参照しているので、図13のステップS301とステップS302に示されるように警告が発せられ、非レジスタ型信号への代入が存在しているので（ステップS303）、その非レジスタ型信号 $z$ は信号リストに登録される（ステップS304）。

#### 【0043】

図14は、配線型検証対象を例示している。配線型検証対象である原プログラムの拡張された仕様によるハードウェア記述は、次の通りである。

配線型検証対象：

```
t = 3 ;
clock ( ) ;
z = t + 2 ;
t = 1 ;
clock ( ) ;
```

この原プログラムに含まれる $t$ は、2つのクロックで挟まれる1つの同じクロック境界内で2度記述されている。代入された値がその代入されたのと同じクロックタイミング内の全ての参照に反映されるタイプの信号 $t$ は、配線型と呼ばれる。実回路上、信号配線を表現する。

#### 【0044】

C言語では以前に代入された値が使用されるが、HDLでは同一ステップ内で $t$ へ代入された値が使用される。図15に示されるように、 $t$ に代入される値は、以前に代入された値の3であるか、新たに代入される値の1であるかが、C言語とHDLとでは異なってしまう。図14の表に示されるように、C言語では $z = 5$ 、 $t = 1$ であるが、HDLでは $z = 3$ 、 $t = 1$ である。第3文“ $z = t + 2$ ”は、信号リストに登録されていない配線型信号 $t$ を参照している所以、図16のステップS401とステップS402に示されるように警告が発せられ、配線型信号への代入が存在しているので（ステップS403）、その配線型信号 $z$ は信号リストに登録される（ステップS404）。

## 【 0 0 4 5 】

図 1 7 は、演算子型検証対象を例示している。演算子型検証対象である原プログラムの拡張された仕様によるハードウェア記述は、次の通りである。

演算子型検証対象：

```
i = 0 ;
a = 0 ;
clock ( ) ;
if ( i > 0 && a ++ ) {
    i = 0 ;
}
clock ( ) ;
```

## 【 0 0 4 6 】

まず、 $a++$ とは、これを評価すると $a$ をインクリメントすることを意味する。この原プログラムに含まれる演算子 $\&\&$ は、C言語では演算子 $\&\&$ の左オペランド( $i > 0$ )の条件が真である場合にのみその右オペランド $a++$ を評価するが、HDLでは演算子 $\&\&$ の左オペランドの条件の真偽に係わらず左右のオペランドを並列に評価する。演算子 $\&\&$ の左オペランドの条件が偽の場合に、右オペランドを評価するかどうかの点が、C言語とHDLとは異なる。図 1 8 に示されるように、演算子 $\&\&$ が使用されていて(ステップ S 5 0 1)、演算子 $\&\&$ の右オペランド中に変数値の更新を伴う記述が存在する場合(ステップ S 5 0 2)、警告が出される(ステップ S 5 0 3)。演算子 $\&\&$ に代えられて左オペランドの条件が偽の場合にのみ右オペランドを評価する演算子が用いられている場合にも、図 1 8 に示されるように警告が発せられる。

## 【 0 0 4 7 】

## 【発明の効果】

本発明によるハードウェア記述の検証システム及びその検証方法は、ハードウェア記述のうちプログラム言語とHDLとで解釈が分かれる部分を検出することにより、そのように解釈が分かれる部分の存在が機能検証シミュレーションを妨害することを警告することによってプログラム修正を容易化し、ひいては回避す

ることができる。特には、等価性検証を省略することができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明によるハードウェア記述の検証システムの実施の形態を示すシステムブロック図である。

【図 2】

図 2 は、ハードウェア記述図である。

【図 3】

図 3 は、他のハードウェア記述図である。

【図 4】

図 4 は、更に他のハードウェア記述図である。

【図 5】

図 5 は、本発明によるハードウェア記述の検証方法の実施の形態を示すフロー図である。

【図 6】

図 6 は、両言語の記述の内容を示すデータ表である。

【図 7】

図 7 は、更に他のハードウェア記述図である。

【図 8】

図 8 は、本発明によるハードウェア記述の検証方法の実施の他の形態を示すフロー図である。

【図 9】

図 9 は、両言語の記述の他の内容を示すデータ表である。

【図 1 0】

図 1 0 は、更に他のハードウェア記述図である。

【図 1 1】

図 1 1 は、両言語の記述の内容を示すデータ表である。

【図 1 2】

図 1 2 は、更に他のハードウェア記述図である。

【図 1 3】

図 1 3 は、本発明によるハードウェア記述の検証方法の実施の更に他の形態を示すフロー図である。

【図 1 4】

図 1 4 は、両言語の記述の内容を示すデータ表である。

【図 1 5】

図 1 5 は、更に他のハードウェア記述図である。

【図 1 6】

図 1 6 は、本発明によるハードウェア記述の検証方法の実施の更に他の形態を示すフロー図である。

【図 1 7】

図 1 7 は、両言語の記述の内容を示すデータ表である。

【図 1 8】

図 1 8 は、本発明によるハードウェア記述の検証方法の実施の更に他の形態を示すフロー図である。

【図 1 9】

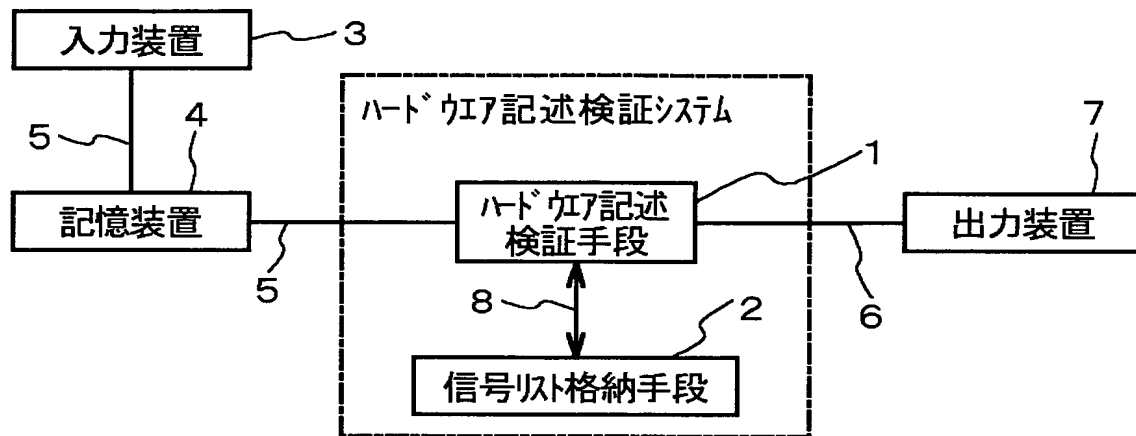
図 1 9 は、公知のハードウェア記述の検証システムを示す回路システム図である。

【符号の説明】

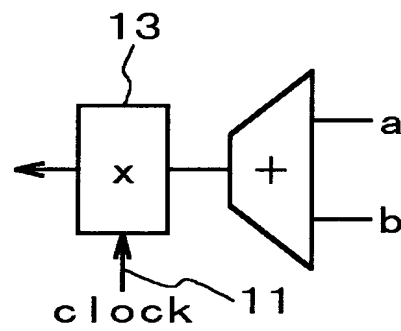
- 1 …ハードウェア記述検証手段
- 2 …信号リスト格納手段
- 3 …入力装置
- 4 …記憶装置
- 5 …ハードウェア記述
- 6 …警告信号
- 7 …出力装置
- 8 …検証対象信号

【書類名】 図面

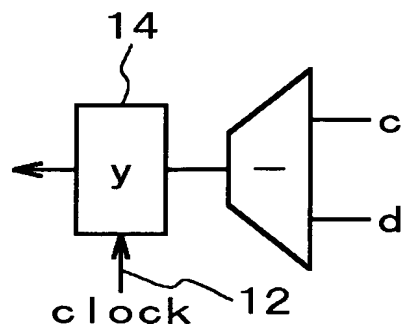
【図 1】



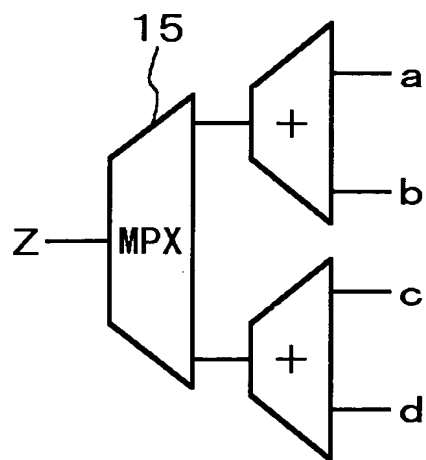
【図 2】



【図 3】

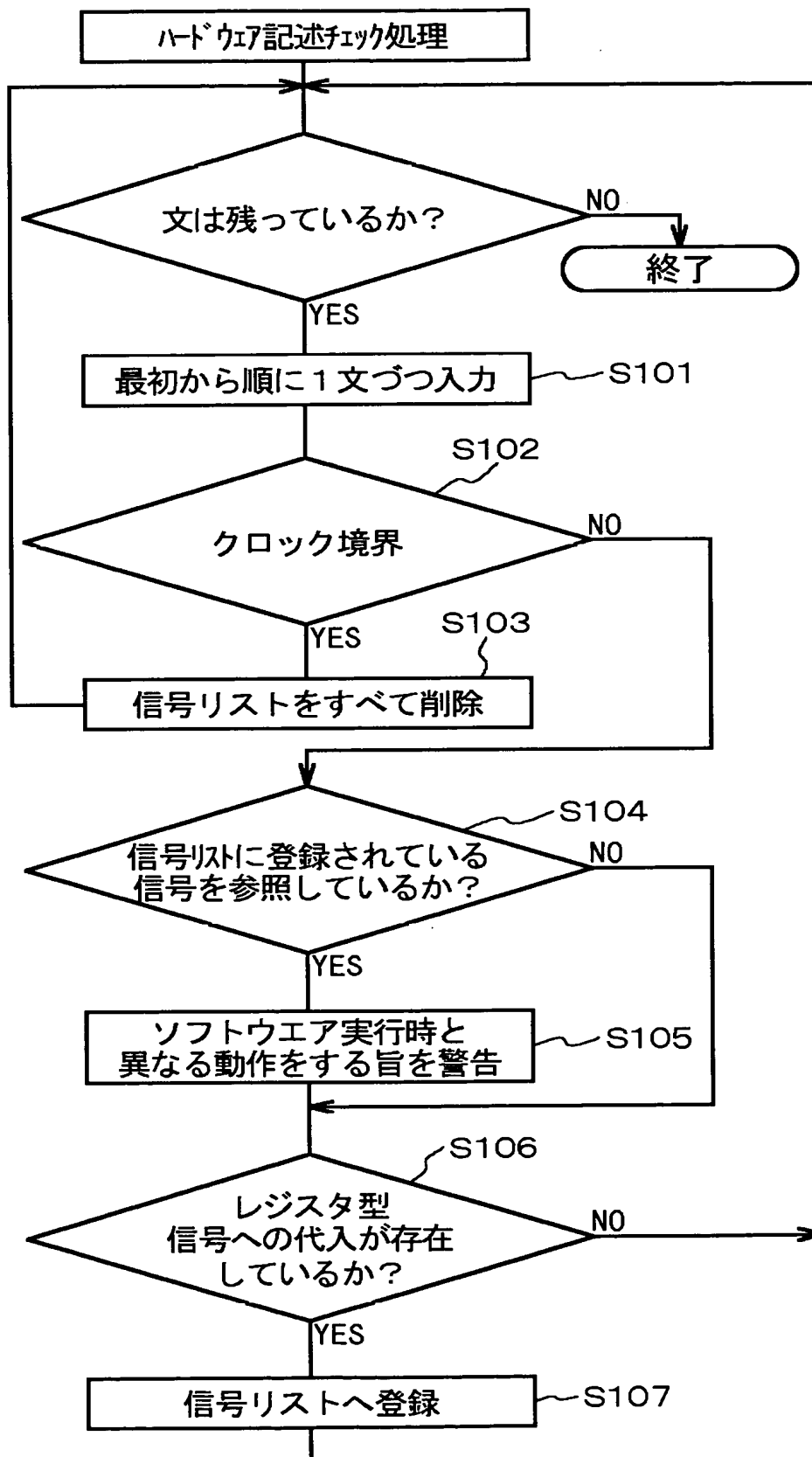


【図 4】



【図 5】





【図 6】

```

/* reg.C */
#ifdef C
# define reg unsigned int
#endif

main()
{
    int t;
    reg x, y;

    /* C */
    /* HDL */
    /* LIST */

    x = 0;
    clock();
    x = 1;
    t = 3;
    y = x + t;
    clock();

    /* x=0 */
    /* x=1 */
    /* t=3 */
    /* y=4 */

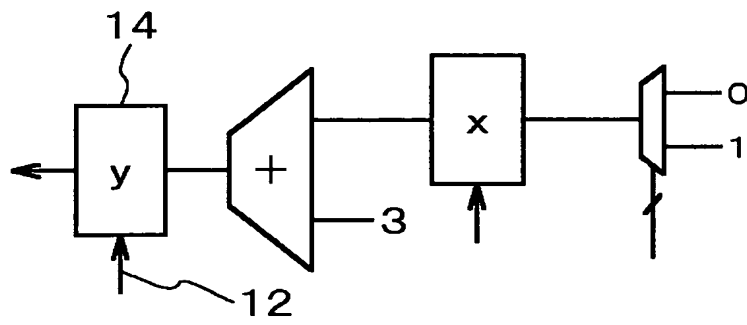
    /* x=0 */
    /* t=3 */
    /* x=1, Y=3 */

    /* {x} */
    /* {} */
    /* {x} */
    /* {x} */
    /* {x,y} */
    /* {} */

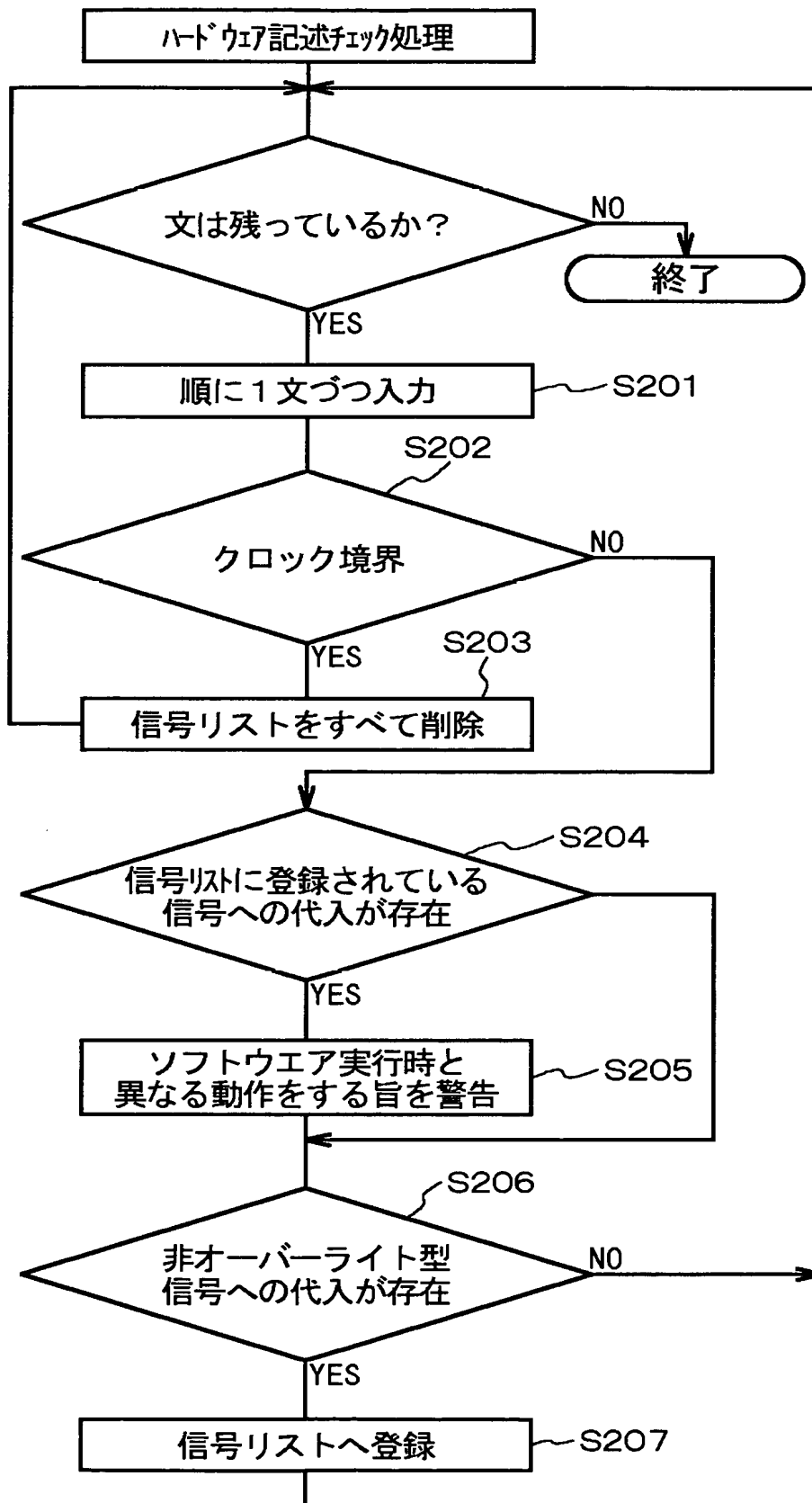
    /* S107 */
    /* S103 */
    /* S107 */
    /* S105, S107 */
    /* S103 */

```

【図 7】



【図 8】



【図 9】

```

/* assign.C */
#ifdef C
# define ter unsigned int
#endif

main()
{
    ter z, t;

    /* C */
    /* HDL */
    /* LIST */

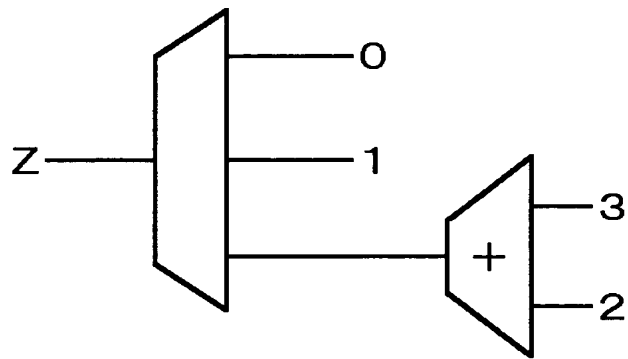
    z = 0;
    clock();
    z = 1;
    t = 3;
    z = x + t;
    clock();

    /* S207 */
    /* S203 */
    /* S207 */
    /* S207 */
    /* S205, S207 */
    /* S203 */

    {z} */
    {} */
    {z} */
    {z, t} */
    {z, t} */
    {} */
}

```

【図 1 0】





【図 1 1】

```

/* ter.C */
#ifdef C
#define ter unsigned int
#endif

main()
{
    ter z, t;

    t = 3;
    clock();
    z = t + 2;
    clock();

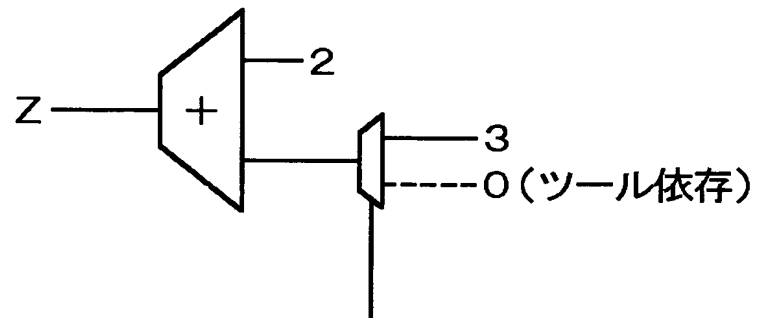
    /* C */
    /* HDL */
    /* LIST */

    /* t=3 */
    /* t=? */
    /* z=? */

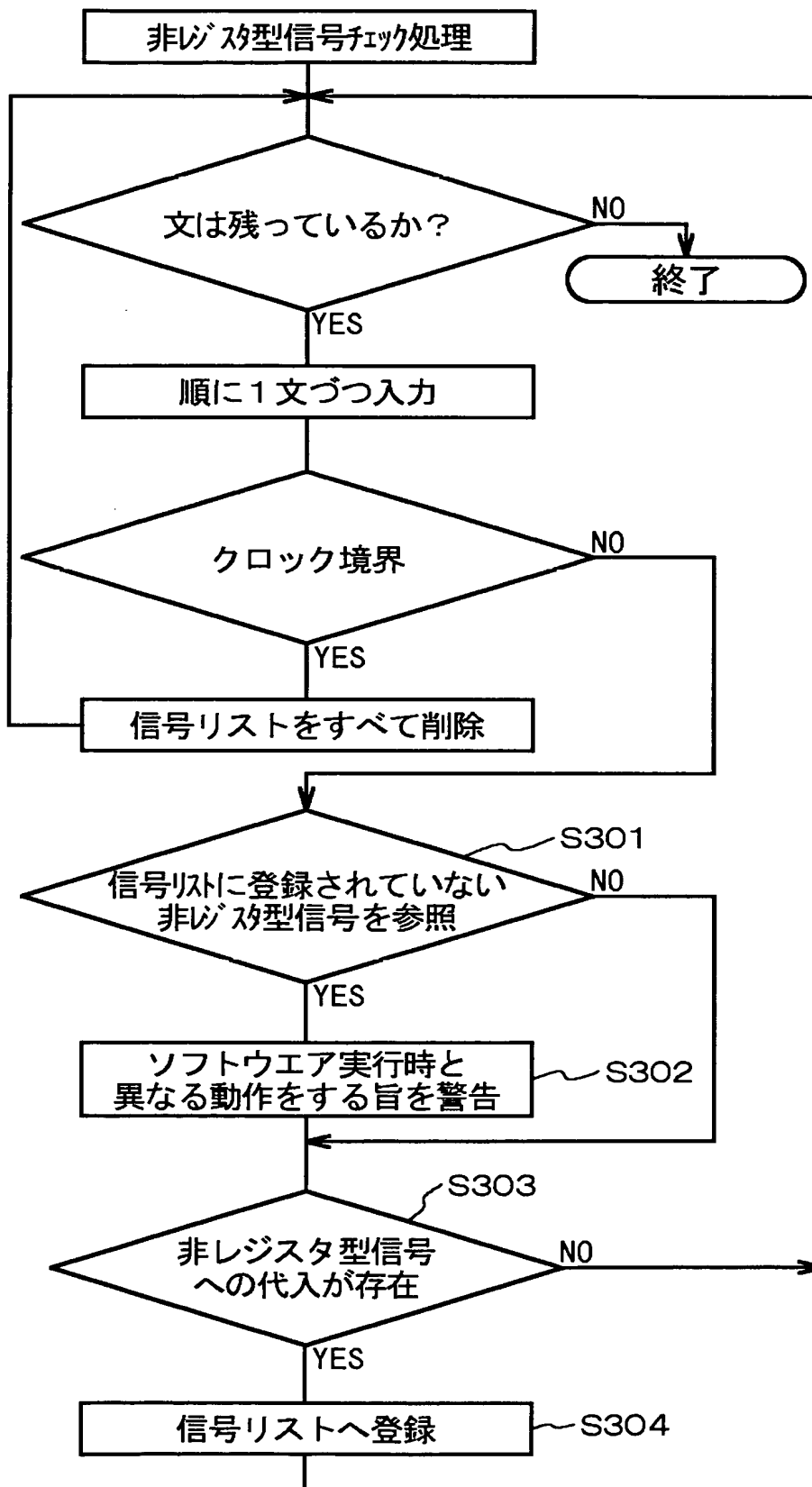
    /* t */
    /* {} */
    /* {z} */
    /* {} */
}

```

【図 1 2】



【図 1 3】



【図 1 4】

```

/* wire.C */
#ifdef C
#define ter unsigned int
#endif

main()
{
    ter z, t;

    t = 3;
    clock();
    z = t + 2;
    t = 1;
    clock();

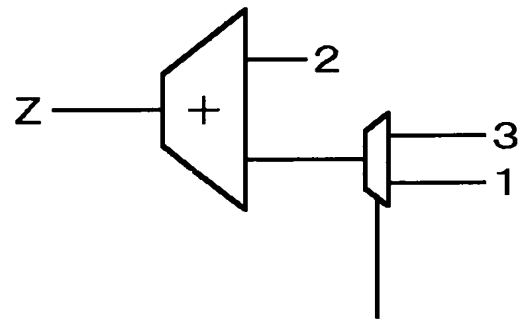
    /* C */
    /* t=3 */
    /* z=5 */
    /* t=1 */

    /* HDL */
    /* t=3 */
    /* z=3 */
    /* t=1 */

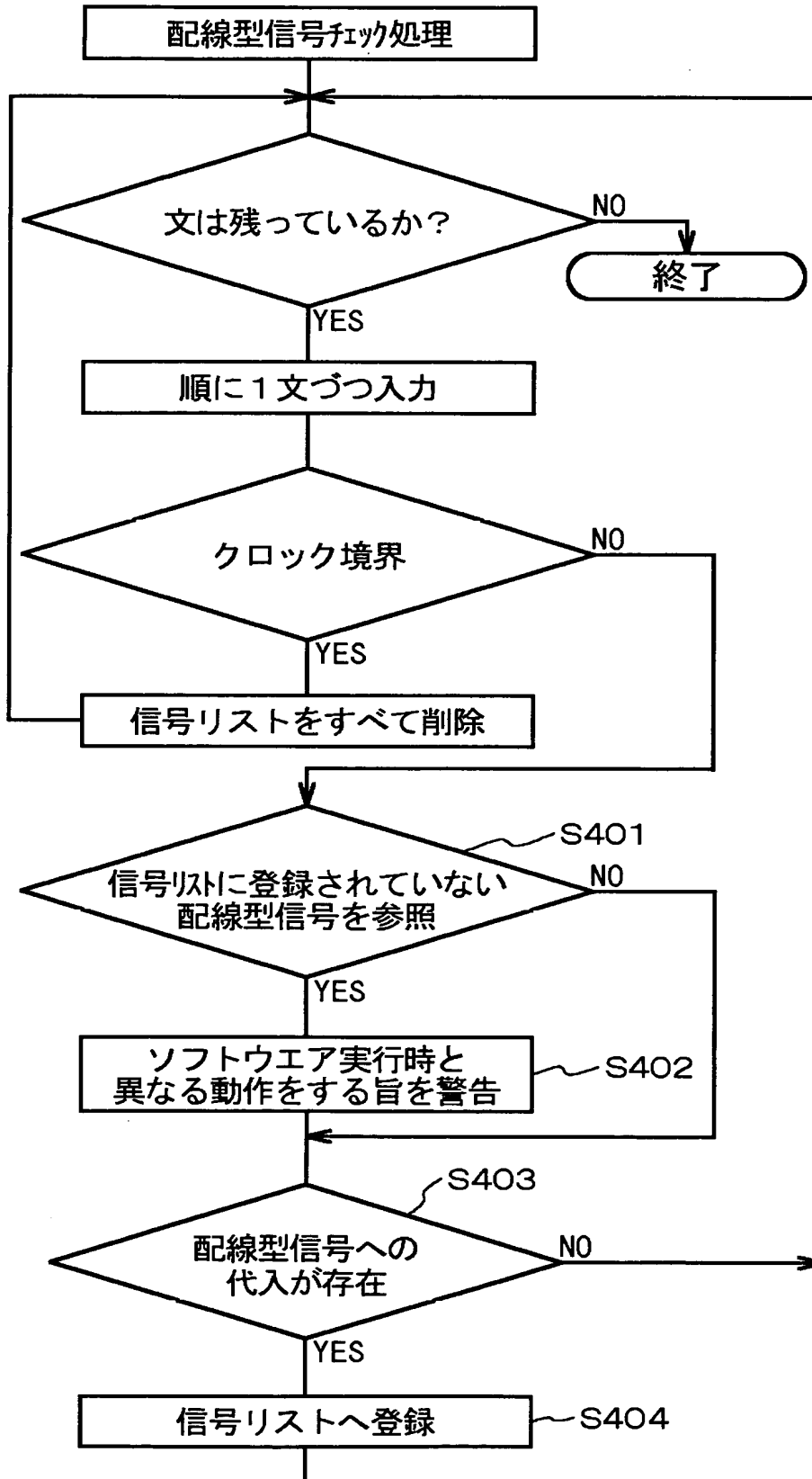
    /* LIST */
    /* {t} */
    /* {} */
    /* {z} */
    /* {z,t} */
    /* {} */

```

【図 1 5】



【図 1 6】



【図 1 7】

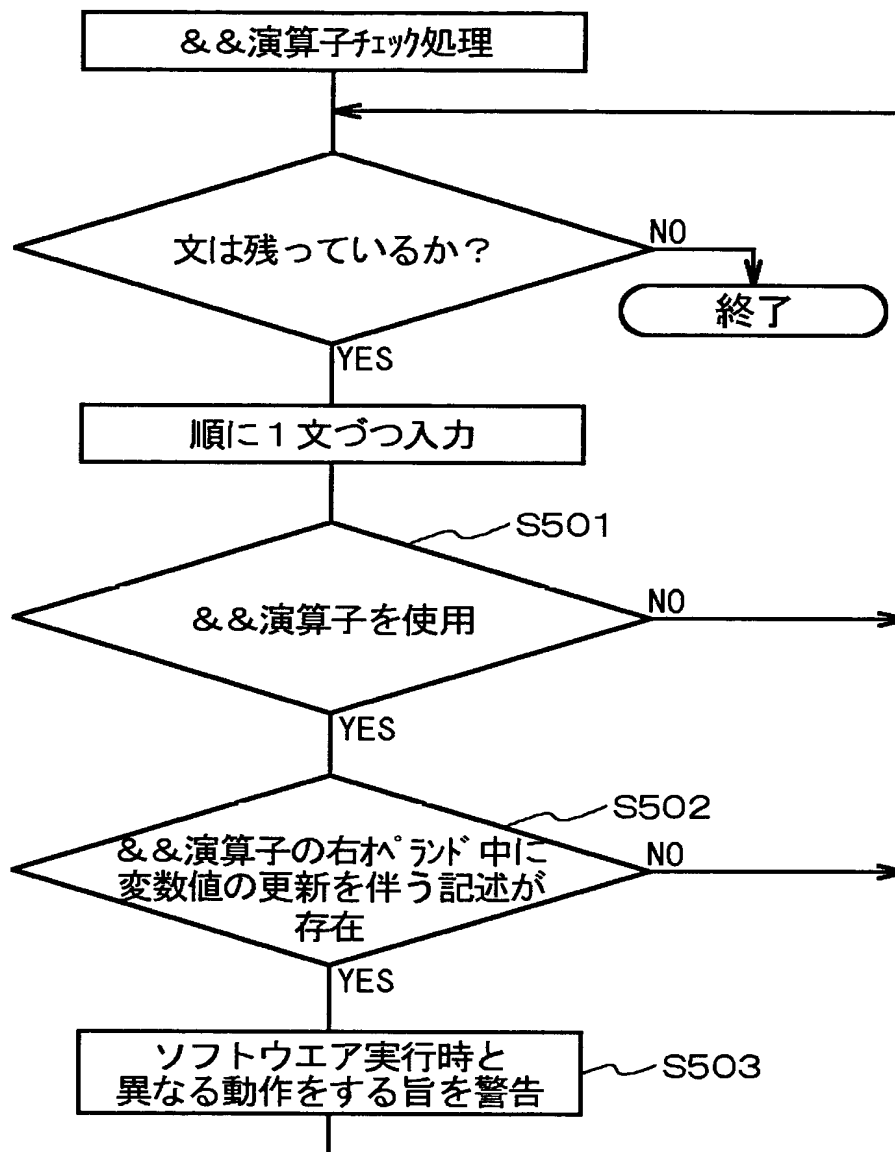
```

/* and.C */
main()
{
    int a, i;

    i = 0;
    a = 0;
    clock();
    if(i > 0 && a++) {
        i = 0;
        clock();
    }
}
/* C */
/* HDL */
/* i=0 */
/* a=0 */
/* a=1 */

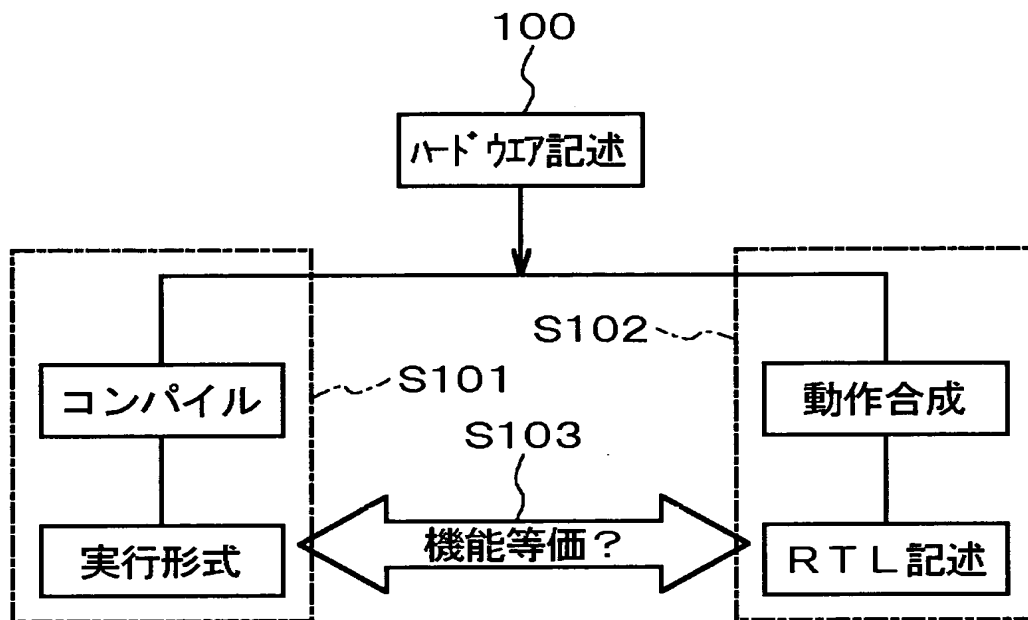
```

【図 1 8】





【図 1 9】



【書類名】                      要約書

【要約】

【課題】 ハードウェア記述のうちプログラム言語とHDLとで解釈が分かれる部分の存在が機能検証シミュレーションを妨害することを回避する。

【解決手段】 クロック文により値が更新されるプログラム言語で記述されるハードウェア記述をコンパイルするプログラム言語と、ハードウェア記述を動作合成するHDL言語との間で論理解釈が異なる部分を検出する。解釈が異なる部分は、クロックに同期して更新が起こる被代入変数が先行する他の数式を参照する部分、クロックに同期して更新が起こる被代入変数が重ね書きされる部分、同一クロック境界内でのみ有効であり同一クロック境界を越えるとその値が無効になる非代入変数が存在する部分、非オーバーライト型であり代入された値がその同一クロック境界内の全ての参照に反映される被代入変数が存在する部分等である。解釈が異なる部分を事前に発見することにより、検証の無駄が省略される。

【選択図】                      図 1

認定・付加情報

特許出願の番号	特願 2000-032355
受付番号	50000148581
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 2月10日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100102864
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	工藤 実

【選任した代理人】

【識別番号】	100099553
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	大村 雅生

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社